

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-335741

(43)Date of publication of application : 25.11.2004

(51)Int.Cl.

H01L 21/8238  
H01L 21/76  
H01L 27/092  
H01L 29/78

(21)Application number : 2003-129659

(71)Applicant : RENESAS TECHNOLOGY CORP

(22)Date of filing : 08.05.2003

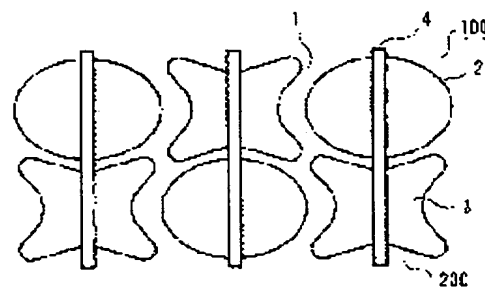
(72)Inventor : TOKITA HIROFUMI

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve the operation speeds of Tr's by controlling a stress occurring in an active region of NMOSTr's and PMOSTr's to a stress level suitable for each Tr.

**SOLUTION:** The NMOSTr's and the PMOSTr's are alternately arranged in an X-axis direction and in a Y-axis direction of a substrate. The active regions of the NMOSTr's have a circular or elliptical planar shape while those of the PMOSTr's have such a planar shape that four sides are recessed. In the progress of microfabrication of a semiconductor device, the influence by a stress on an active region formed in a substrate cannot be neglected. A variety of countermeasures to reduce a stress have been developed so far. However, for a semiconductor device having both a PMOSTr and an NMOSTr such as a CMOS inverter, no countermeasures are made to cope with different types of Tr's differently for this problem. Consequently, even if the performance of one type of Tr's is improved, it is not always the case that the performance of the other type of Tr's is also improved. This problem can be solved by controlling the stress occurring in the active region of the NMOSTr's and PMOSTr's to a stress level suitable for each Tr.



1 : 基板	4 : ゲート電極
2 : NMOS活性領域	100 : NMOSTr
3 : PMOS活性領域	200 : PMOSTr

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-335741

(P2004-335741A)

(43) 公開日 平成16年11月25日(2004.11.25)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
HO 1 L 21/8238	HO 1 L 27/08 3 2 1 B	5 F 0 3 2
HO 1 L 21/76	HO 1 L 27/08 3 2 1 D	5 F 0 4 8
HO 1 L 27/092	HO 1 L 29/78 3 0 1 X	5 F 1 4 0
HO 1 L 29/78	HO 1 L 21/76 M	
	HO 1 L 21/76 L	
審査請求 未請求 請求項の数 8 O L (全 8 頁)		
(21) 出願番号	特願2003-129659 (P2003-129659)	(71) 出願人 503121103
(22) 出願日	平成15年5月8日 (2003.5.8)	株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号
		(74) 代理人 100093562 弁理士 児玉 俊英
		(74) 代理人 100073759 弁理士 大岩 増雄
		(74) 代理人 100088199 弁理士 竹中 考生
		(74) 代理人 100094916 弁理士 村上 啓吾
		(72) 発明者 時田 裕文 東京都千代田区丸の内二丁目4番1号 株 式会社ルネサステクノロジ内
		Fターム (参考) 5F032 AA13 AA34 BA05 CA17 CA20
		最終頁に続く

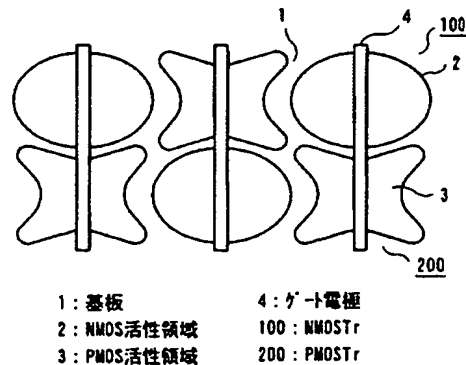
(54) 【発明の名称】 半導体装置

## (57) 【要約】

【課題】半導体装置の微細化が進むにつれ、基板に設けられた活性領域に加わるストレスの影響が無視できなくなっている。上記ストレス低減対策は従来より種々とられているが、例えばCMOSインバータの如く、PMOSTr、NMOSTrとを備えた半導体装置ではTrの型に対応した差違がある対策はなされてなく、一方の型で性能改善されたとしても他方の型では必ずしも性能改善とはなっていないという問題点を解消するため、Trの型に適合したストレスレベルに制御可能な半導体装置を提供する。

【解決手段】NMOSTrとPMOSTrとが基板のX軸およびY軸方向に、それぞれが交互に配置され、NMOSTrの活性領域の平面形状が円または楕円のいずれかとし、PMOSTrの平面形状を四辺が凹んだ形とする。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

NチャネルMOSトランジスタとPチャネルMOSトランジスタとを備えた半導体装置であって、前記NチャネルMOSトランジスタとPチャネルMOSトランジスタは、基板のX軸およびY軸方向にそれぞれが交互に配置されており、前記NチャネルMOSトランジスタの活性領域の平面形状が、円または楕円のいずれかの形であるとともに、前記PチャネルMOSトランジスタの活性領域の平面形状を、前記NチャネルMOSトランジスタの活性領域に対向する四辺が凹んだ形であることを特徴とする半導体装置。

**【請求項 2】**

NチャネルMOSトランジスタとPチャネルMOSトランジスタとを備えた半導体装置であって、前記NチャネルMOSトランジスタにはゲート電極が設けられており、前記PチャネルMOSトランジスタにはゲート電極とダミーのゲート電極が設けられており、前記ダミーゲート電極が、前記PチャネルMOSトランジスタのゲート電極および前記PチャネルMOSトランジスタの活性領域を取り囲んで設けられていることを特徴とする半導体装置。 10

**【請求項 3】**

NチャネルMOSトランジスタとPチャネルMOSトランジスタとを備えた半導体装置であって、前記NチャネルMOSトランジスタの活性領域を除く前記PチャネルMOSトランジスタの活性領域内には、ダミーの分離絶縁膜が形成されていることを特徴とする半導体装置。 20

**【請求項 4】**

NチャネルMOSトランジスタとPチャネルMOSトランジスタとを備えた半導体装置であって、前記NチャネルMOSトランジスタの活性領域に設けられ上層配線につながるコンタクトの平面形状を除く前記PチャネルMOSトランジスタの活性領域に設けられ上層配線につながるコンタクトの平面形状が、複数の鋭角を有するものであることを特徴とする半導体装置。

**【請求項 5】**

NチャネルMOSトランジスタとPチャネルMOSトランジスタとを備えた半導体装置であって、前記NチャネルMOSトランジスタのゲート電極を除く前記PチャネルMOSトランジスタのゲート電極が、ゲート幅方向に沿って折れ曲がった形状を有していることを特徴とする半導体装置。 30

**【請求項 6】**

NチャネルMOSトランジスタとPチャネルMOSトランジスタとを備えた半導体装置であって、前記NチャネルMOSトランジスタにはゲート電極が設けられており、前記PチャネルMOSトランジスタのゲート電極の両側に設けられたダミーゲート電極の平面形状が縦長の窓枠状であることを特徴とする半導体装置。

**【請求項 7】**

NチャネルMOSトランジスタとPチャネルMOSトランジスタとを備えた半導体装置であって、前記NチャネルMOSトランジスタの活性領域上にはノンドープシリコンガラス膜とシリコン窒化膜とが形成されており、前記PチャネルMOSトランジスタの活性領域上にはシリコン窒化膜が形成されており、前記双方のそれぞれの活性領域には、上層配線につながるコンタクトが設けられていることを特徴とする半導体装置。 40

**【請求項 8】**

NチャネルMOSトランジスタとPチャネルMOSトランジスタとを備えた半導体装置であって、活性領域上に設けられた前記NチャネルMOSトランジスタのゲート電極には、第1のサイドウォールと第2のサイドウォールとが設けられており、前記PチャネルMOSトランジスタのゲート電極には、前記第2のサイドウォールが設けられていることを特徴とする半導体装置。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】**

この発明は、半導体装置に係り、特に活性領域に発生するストレスに好適に対応したトランジスタ構造に関するものである。

**【0002】****【従来の技術】**

デバイスの微細化が進むにつれ、トランジスタの活性領域に加わるストレスの影響が無視できなくなっており、従来より半導体装置の構造に起因する基板活性領域に発生するストレスに伴う諸問題について対応策が採られている。

例えば、メモリセルの活性領域の形状を規定することにより、メモリ選択用のMISFETのしきい値電圧を得るとともに、リフレッシュ特性の劣化を抑制することを目的に、活性領域の形状を角部が丸みを持つ菱形とし、メモリセル選択用MISFETのビット線側のゲート端の活性幅を最小加工寸法の2～3倍程度として、分離絶縁膜へのボロン偏析の影響を小さくし、一方メモリセル選択用MISFETの容量素子側のゲート端の活性幅を最小加工寸法より狭くすることにより、分離絶縁膜へのボロン偏析の影響を大きくすることが示されている（例えば、特許文献1参照）。

**【0003】****【特許文献1】**

特開2001-250926号公報（要約、図1）

**【0004】****【発明が解決しようとする課題】**

しかしながら前記特許文献1には、メモリセルの活性領域形状を規定することについての記載されており、本願発明の課題とするNチャネルMOSトランジスタやPチャネルMOSトランジスタの動作速度の改善を目的とするそれぞれの活性領域に発生するストレスを制御する構造に関しては何ら記載されてない。

従来、例えばCMOSTrのNMOS、PMOS双方の活性領域のストレス低減が特性向上につながるという技術思想に基づいて、NMOS、PMOS共同一構造上でのストレス低減対策がとられていた。しかしながら前記対策は現在製造されている多くの種類のTr構造に汎用性ある技術であるものではないことが判明してきた。この発明は、前記問題点を解決するためになされたもので、NMOSTrとPMOSTrの活性領域に発生するストレスをそれぞれのTrに適合したストレスレベルに制御することにより、Tr動作速度を改善することを目的とする。

**【0005】****【課題を解決するための手段】**

NチャネルMOSトランジスタとPチャネルMOSトランジスタとを備えた半導体装置であって、前記NチャネルMOSトランジスタとPチャネルMOSトランジスタは、基板のX軸およびY軸方向にそれぞれが交互に配置されており、前記NチャネルMOSトランジスタの活性領域の平面形状が、円または楕円のいずれかの形とするとともに、前記PチャネルMOSトランジスタの活性領域の平面形状を、前記NチャネルMOSトランジスタの活性領域に対向する四辺が凹んだ形とするものである。

**【0006】****【発明の実施の形態】**

実施の形態1.

以下、この発明の実施の形態1のトランジスタの構造を図に基づいて説明する。

図1は、例えばCMOSインバータのような半導体装置であって基板1上にNチャネルMOSトランジスタ（以下、NMOSTrと略す）100の活性領域2と、PチャネルMOSトランジスタ（以下、PMOSTrと略す）200の活性領域3が設けられ、また、前記活性領域2、3にゲート電極4が設けられた半導体装置の配置を示す図である。

図1に示すように、前記NMOSTr100の活性領域2と、PMOSTr200の活性領域3は基板1のX軸、Y軸上にそれぞれ交互に配置されている。前記NMOSTr100の活性領域2は楕円形状であり、一方前記PMOSTr200の活性領域3は前記活性

10

20

30

40

50

領域2との干渉をさけるよう、その対向する四辺が凹んだ形状である。このようにNMOSTr100の活性領域2とPMOSTr200の活性領域3の形状を異なるものを採用した理由は、製造プロセス、特に図示省略した分離絶縁膜形成時のストレスを、NMOSTr100の活性領域2には入り難いような形状とし、一方PMOSTr200の活性領域3には積極的に与えるような形状とすることによって、前記両Trの性能を改善しようとするものである。その詳細を以下に記す。

#### 【0007】

活性領域2、3のストレスは、例えばLOCOSやSTI(Shallow Trench Isolation)等の分離絶縁膜、ゲート電極、活性領域上のコンタクト形成等に実施される熱処理に伴って発生するのが主因である。ストレスが活性領域内に残存すると、キャリアの移動速度に影響を与える。NMOSTrでは電子の移動速度がストレスが無い場合に比較して劣化し、Tr動作速度が遅くなり、一方PMOSTrでは正孔の移動速度が改善されTrの動作速度が速くなる。

この発明による以下に説明する実施の形態を含むすべての形態が、前記現象を積極的に利用するものであり、Trのタイプによって活性領域に残存するストレスの大小差が出るような構造を採用したものである。

#### 【0008】

従って前記したように、NMOSTr100の活性領域2には丸味をもたせ、円または楕円状としてSTIやLOCOS等分離絶縁膜の形成によるストレスを入り難い形状とし、一方PMOSTr200の活性領域3は四隅が角張った形状とすることによってストレスがより入りやすい形状とした。さらに、基板のX軸、Y軸方向にNMOSTr100とPMOSTr200をそれぞれ交互に配置するとともに、PMOSTr200の活性領域3をNMOSTr100の活性領域2と干渉しないよう、対向する四辺に凹ませることによって、占有面積を小さくし集積度を高めている。

#### 【0009】

実施の形態2.

この実施の形態2でも、例えばCMOSインバータの如く、NMOSTrとPMOSTrとを備えた半導体装置であって、前記PMOSTrのみにストレスがより入り易い構造を採用したものである。

図2において、PMOSTr200にはダミーゲート電極5が、前記PMOSTr200の基板活性領域3aおよびゲート電極4を取り囲むよう設けられている。なお、NMOSTrは図示を省略している。

このようにPMOSTr200の活性領域3aをダミーゲート電極5で取り囲むことによって、前記活性領域3aにストレスを加えることになる。この場合、図2に示すように、ダミーゲート電極5は活性領域3aの周囲を取り囲むようエンドレスの形状とすると、より多くのストレスが活性領域3aに残存することがシミュレーション結果判明している。また、このダミーゲート電極5の平面形状は、図2に示したような複数のエッジを備えた形状とすれば、よりストレスを与えることになり、またエッジの数によりストレスの絶対量を制御することも可能となる。このようにこの実施の形態2でも活性領域3aにストレスを与えることによってPMOSTr200の動作性能を改善できる。

#### 【0010】

実施の形態3.

この実施の形態3も例えばCMOSインバータの如く、NMOSTrとPMOSTrとを備えた半導体装置であって、図3に示すようにPMOSTr200の基板活性領域3aにダミーの分離絶縁膜、例えばSTI7を設けたものである。図3において活性領域3a内には、島状のSTI7がコンタクト6をさけて四隅に配置されている。なお、前記分離絶縁膜7はSTIに代わりLOCOSであってもよい。

このように活性領域3aにダミーの分離絶縁膜7を設けると、活性領域3a内に直接的に余分なストレスが残存することになり、PMOSTr200の動作特性を改善することができる。

10

20

30

40

50

## 【0011】

## 実施の形態4.

この実施の形態4も例えばCMOSインバータの如く、NMOSTrとPMOSTrとを備えた半導体装置であって、図4に示すようにPMOSTr200の基板活性領域3aに図示省略した上層配線につながるコンタクト6aが設けられている。なお、NMOSTrは図示省略している。前記コンタクト6aの平面形状は複数の鋭角を有するものであり、図4に示す例では十字形としている。このようにコンタクト6aの平面形状を複数の鋭角をもつ角張ったものとし、活性領域3aに直接ストレスを与える構成としたので、PMOSTr200の動作特性を改善することができる。なお、この実施の形態4では半導体装置としてCMOSインバータの例を示したが、PMOSTr単独であってもよい。

10

## 【0012】

## 実施の形態5.

この実施の形態5も例えばCMOSインバータの如く、NMOSTrとPMOSTrとを備えた半導体装置であって、図5に示すようにPMOSTr200の基板活性領域3a上に設けられたゲート電極4aが、ゲート電極の幅方向に沿って折れ曲がった形状を呈している。なおNMOSTrは図示省略している。図5では、ローマ字のWを幅方向に配置した例を示しているが、Vの字であってもよく、又くし形であってもよい。このように、活性領域3a上に折れ曲がったゲート電極4aを設け、そのゲート電極形状によって活性領域3aにストレスを与えている。その結果、PMOSTr200の動作特性を改善することが可能となる。なおこの実施の形態5でも半導体装置としてCMOSインバータの例を示したが、PMOSTr単独であってもよい。

20

## 【0013】

## 実施の形態6.

この実施の形態6も例えばCMOSインバータの如く、NMOSTrとPMOSTrとを備えた半導体装置であって、図6に示すようにPMOSTr200の基板活性領域3a上のゲート電極4の両側に平面形状が縦長の窓枠状のダミーゲート電極5aを設けたものである。なおNMOSTrは図示省略している。

このように活性領域3aにダミーゲート電極5aを、ゲート電極4の両側にあって、かつ2本の線をつないでエンドレスとした窓枠状としたので、より多くのストレスを活性領域3aに与えることができ、PMOSTr200の特性を改善することができる。

30

なお、前記ダミーゲート電極5aを2本の線をつないだ窓枠状の例を示したが、3本の線をつないだ図7に示すように2重窓枠状のもの5bであってもよい。なおこの実施の形態6でも半導体装置としてCMOSインバータの例を示したが、PMOSTr単独であってもよい。

## 【0014】

## 実施の形態7.

この実施の形態7も例えばCMOSインバータの如く、NMOSTrとPMOSTrとを備えた半導体装置であって、図8に示すように基板1のNMOSTr100の活性領域2a上にはノンドープシリコンガラス膜(NSG)8とその上にシリコン窒化膜(SiN)7とが形成されている。前記NSG8は成膜時や熱処理時の熱膨張率の差を吸収するクッション材の役目をはたしている。またPMOSTr200の活性領域3a上にはシリコン窒化膜(SiN)7が形成されている。前記シリコン窒化膜7上には絶縁膜10が形成されている。さらに双方のTrの活性領域2a、3aには、上層配線につながるコンタクト6がコンタクトホール6aを介して設けられている。このようにPMOSTr200には、ストレスを緩和する働きを有するNSG膜8を成膜することなくコンタクト6が形成されているので、PMOSTr200の活性領域3aに直接的にストレスを与えることができ、PMOSTr200の特性を改善することができる。なおこの実施の形態7でも半導体装置としてCMOSインバータの例を示したが、PMOSTr単独であってもよい。また、NSG8に代わり、酸化膜系のものであってもよい。

40

## 【0015】

50

実施の形態 8.

この実施の形態 8 も例えば CMOS インバータの如く、NMOSTr と PMOSTr とを備えた半導体装置であって、図 9 に示すように基板 1 の NMOSTr 100 のゲート電極 4 には、TEOS よりなる第 1 のサイドウォール 10 と SiN よりなる第 2 のサイドウォール 11 が形成されている。一方 PMOSTr 200 のゲート電極 4 には、前記 TEO S よりなる第 1 のサイドウォール 10 が形成されている。このように PMOSTr 200 のゲート電極 4 には、ゲート電極 4 の形成時の熱膨張率の差を吸収するクッション役を果たす第 2 のサイドウォール 11 が設けられていないので、基板 1 に設けられた活性領域 3 c にストレスを与えることができ、PMOSTr 200 の特性を改善することができる。

【0016】

【発明の効果】

この発明は、以上述べたような構成の半導体装置であるので、以下のような効果がある。すなわち、Nチャネル MOS トランジスタと Pチャネル MOS トランジスタとを備えた半導体装置であって、前記 Nチャネル MOS トランジスタと Pチャネル MOS トランジスタは、基板の X 軸および Y 軸方向にそれぞれが交互に配置されており、前記 Nチャネル MOS トランジスタの活性領域の平面形状が、円または楕円のいずれかの形であるとともに、前記 Pチャネル MOS トランジスタの活性領域の平面形状を、前記 Nチャネル MOS トランジスタの活性領域に対向する四辺が凹んだ形であるので、活性領域に残存するストレスを制御することが可能となり、その結果、NMOSTr と PMOSTr とを備えた半導体装置では NMOSTr の動作特性に影響を与えるストレスを制御でき、従来に比較して NMOSTr では動作特性を損なうことなく、PMOSTr では動作特性を改善できるという優れた効果を奏し、また PMOSTr 単独の装置においても、同様に動作特性を改善できるといふ効果も奏する。

【図面の簡単な説明】

【図 1】この発明の実施の形態 1 の半導体装置の配置を示す図である。

【図 2】この発明の実施の形態 2 の PMOSTr を示す平面図である。

【図 3】この発明の実施の形態 3 の PMOSTr を示す平面図である。

【図 4】この発明の実施の形態 4 の PMOSTr を示す平面図である。

【図 5】この発明の実施の形態 5 の PMOSTr のゲート電極を示す平面図である。

【図 6】この発明の実施の形態 6 の PMOSTr のダミーゲート電極を示す平面図である。

【図 7】この発明の実施の形態 6 の PMOSTr の他の実施例を示すダミーゲート電極を示す平面図である。

【図 8】この発明の実施の形態 7 の半導体装置を示す図である。

【図 9】この発明の実施の形態 8 の半導体装置を示す図である。

【符号の説明】

1 基板、2, 2a NMOSTr の活性領域、  
3, 3a PMOSTr の活性領域、4, 4a ゲート電極、  
5, 5a ダミーゲート電極、7 ダミー分離絶縁膜、8 NSG、  
9 SiN、10 第 1 のサイドウォール、11 第 2 のサイドウォール、  
100 NMOSTr、200 PMOSTr。

10

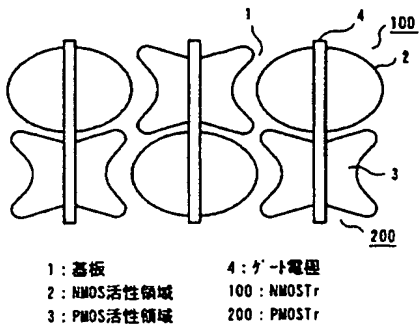
20

30

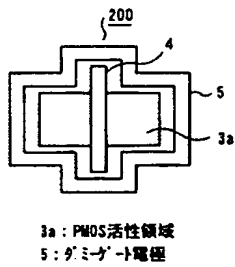
40



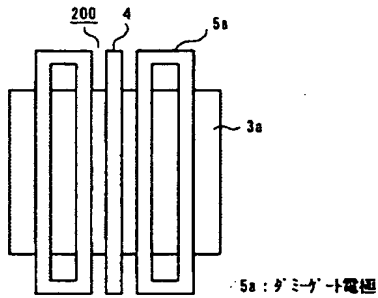
【図 1】



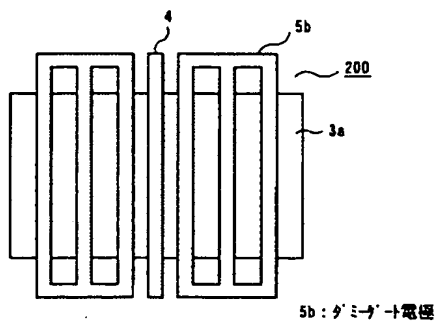
【図 2】



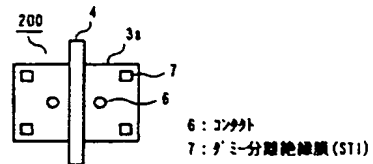
【図 6】



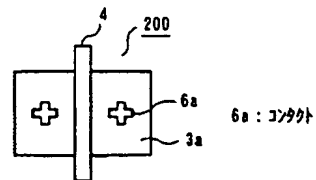
【図 7】



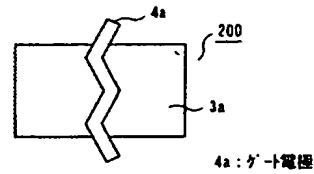
【図 3】



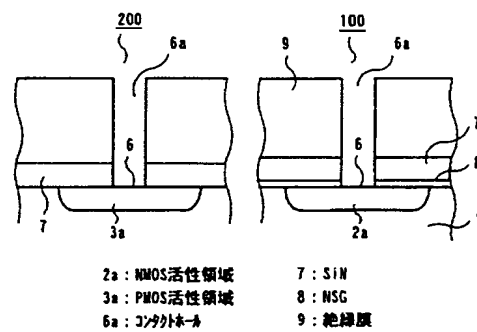
【図 4】



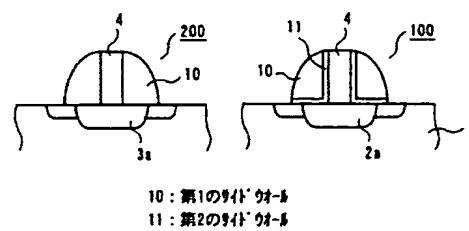
【図 5】



【図 8】



【図 9】



---

フロントページの続き

Fターム(参考) 5F048 AA01 AA08 AB04 AC03 BB01 BB20 BE03 BE10 BF16 BG12  
BG14 DA25 DA27 DA30  
5F140 AA01 AC01 AC28 BF51 BG08 BG09 BG12 BG14 BH02 BJ28  
CB01 CB04 CB10 CC01 CC02 CC03 CC08